

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-031066

(43)Date of publication of application : 02.02.1999

(51)Int.Cl.

G06F 5/06

(21)Application number : 09-184755 (71)Applicant : NEC ENG LTD

(22)Date of filing : 10.07.1997 (72)Inventor : HONDA KEIJI

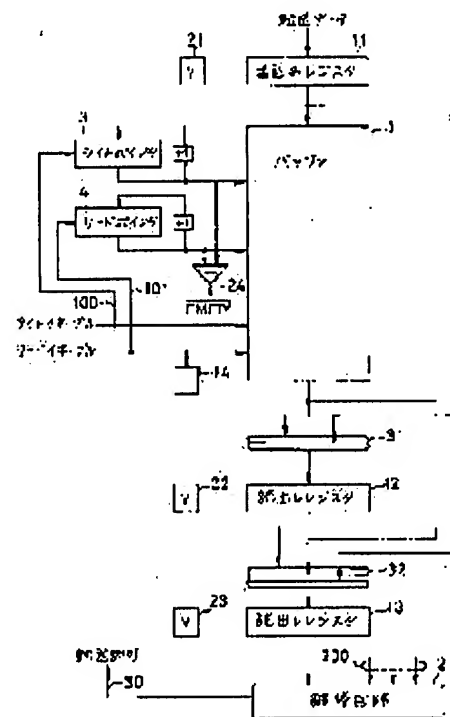
(54) BUFFER CONTROL SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To improve data transfer performance by controlling access to a buffer.

SOLUTION: Data which should be written in the buffer 1 are held in a register 11. The data read out of the buffer 1 are held in a register 12, whose output data are held in a register 13. When the data are held in the register 11 and neither the buffer 1 nor the registers 12 and 13 store data, the data stored in the register 11 are written directly to the register 13. If external transfer from the register 13 is allowed even when the data are stored in the register 13, the data stored in the register 11 are written directly to the register 13.

When data need not be written in the buffer 1, the data are sent out bypassing the buffer 1, so the transfer performance is improved.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other

than the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-31066

(43) 公開日 平成11年(1999) 2月2日

(51) Int.Cl.⁹

G 0 6 F 5/06

識別記号

3 3 5

F I

G 0 6 F 5/06

3 3 5

審査請求 未請求 請求項の数 4 O L (全 7 頁)

(21) 出願番号 特願平9-184755

(22) 出願日 平成9年(1997) 7月10日

(71) 出願人 000232047

日本電気エンジニアリング株式会社
東京都港区芝浦三丁目18番21号

(72) 発明者 本多 恵治

東京都港区芝浦三丁目18番21号 日本電気
エンジニアリング株式会社内

(74) 代理人 弁理士 京本 直樹 (外 2 名)

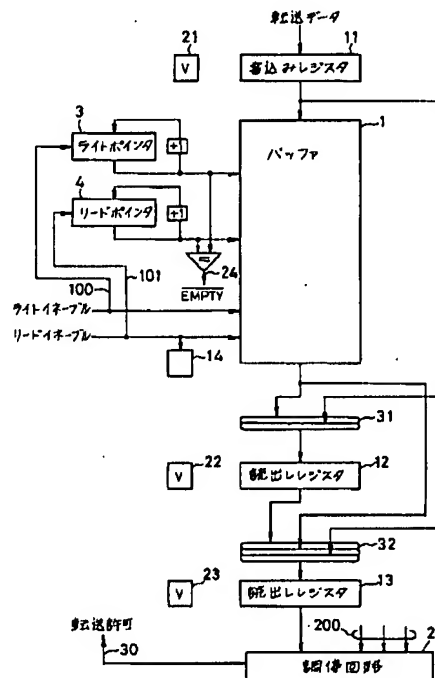
(54) 【発明の名称】 バッファ制御システム

(57) 【要約】

【課題】 バッファへのアクセスを制御してデータ転送性能を向上させる。

【解決手段】 バッファ1に書込むべきデータをレジスタ11に保持する。バッファ1から読出されたデータをレジスタ12に保持し、このレジスタ12の出力データをレジスタ13に保持する。レジスタ11にデータが格納されている場合においてバッファ1並びにレジスタ12及び13にデータが格納されていないときレジスタ11に格納されているデータをレジスタ13に直接書込む。レジスタ13にデータが格納されていてもこのレジスタ13から外部への転送が許可されていればレジスタ11に格納されているデータをレジスタ13に直接書込む。

【効果】 バッファ1への書込みが必要ないときはバッファ1をバイパスしてデータを送出するので、転送性能が向上する。



【特許請求の範囲】

【請求項1】 データの書込み及び読出しが可能なバッファの制御を行うバッファ制御システムであって、前記バッファに書込むべきデータを一時保持する書込みレジスタと、前記バッファから読出されたデータを一時保持する読出しレジスタと、前記書込みレジスタにデータが格納されている場合において前記読出しレジスタにデータが格納されていないとき前記書込みレジスタに格納されているデータを前記読出しレジスタに直接書込む書込み制御手段とを含むことを特徴とするバッファ制御システム。

【請求項2】 前記書込み制御手段は、前記読出しレジスタにデータが格納されていても該読出しレジスタから外部への転送が許可されていれば前記書込みレジスタに格納されているデータを前記読出しレジスタに直接書込むことを特徴とする請求項1記載のバッファ制御システム。

【請求項3】 データの書込み及び読出しが可能なバッファの制御を行うバッファ制御システムであって、前記バッファに書込むべきデータを一時保持する書込みレジスタと、前記バッファから読出されたデータを一時保持する第1の読出しレジスタと、この第1の読出しレジスタの出力データを一時保持する第2の読出しレジスタと、前記書込みレジスタにデータが格納されている場合において前記バッファ並びに前記第1及び第2の読出しレジスタにデータが格納されていないとき前記書込みレジスタに格納されているデータを前記第2の読出しレジスタに直接書込む書込み制御手段とを含むことを特徴とするバッファ制御システム。

【請求項4】 前記書込み制御手段は、前記第2の読出しレジスタにデータが格納されていても該読出しレジスタから外部への転送が許可されていれば前記書込みレジスタに格納されているデータを前記第2の読出しレジスタに直接書込むことを特徴とする請求項3記載のバッファ制御システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はバッファ制御システムに関し、特にデータの書込み及び読出しが可能なバッファのアクセス制御を行うバッファ制御システムに関する。

【0002】

【従来の技術】一般に、スーパーコンピュータのシステム本体（ノード）をネットワークにて相互に接続して任意のノードから指定のノードへのデータ転送をする際に、データバスを切替える（フルクロススイッチングする）ことにより、ノード間のデータ転送を行う技術が知られている。この場合、各ノードから転送されるデータは、スイッチング時に転送元ノードから転送先ノードへの転送ルートを決定するために転送データの調停を行う必要

があり、この調停後に発行される転送許可を待ってデータ転送を開始する必要がある。そのため、各ノードから転送されるデータは各ノード毎に持っているバッファに一時的に格納して、調停後の転送許可を待つ。したがって、このバッファのアクセスを適切に制御する必要がある。

【0003】従来のこの種のバッファ制御システムは、図4に示されているように、バッファ1に書込むべきデータを一時保持する書込みレジスタ11と、バッファ1から読出されたデータを一時保持する読出しレジスタ13と、読出しレジスタ13の出力及び他のポートからの転送データ200を入力とし各ポートからの転送データの調停を行う調停回路2と、バッファ1に対するライトポイント3及びリードポイント4とを含んで構成されている。

【0004】かかる構成において、各ポートからの転送データを調停するための調停回路で優先順位をとる間、各ポートではデータをバッファ1に格納してスキュー差を吸収する。調停回路2による調停後、転送許可が出ると、バッファ1のデータを読出して転送する。

【0005】ところで、特開平3-42721号公報には、バッファの書込み側及び読出し側に夫々転送手段を設けた情報処理装置が開示されている。この情報処理装置は、複数の単位長処理データを一時的に格納する命令バッファと、その処理データをデコードする命令デコーダと、その処理データの転送制御を行うメモリ管理ユニットと、このメモリ管理ユニットから転送された単位長データを一時的に格納して命令バッファに転送する第1転送手段と、命令バッファから転送されたデータを一時的に格納して命令デコーダに転送する第2転送手段とを備えている。

【0006】そして、メモリ管理ユニットは、第1転送手段から命令バッファに単位命令ビット列が書込まれるたびに判定選択手段に有効信号を出力する。判定選択手段は、これに基づいて各单位命令ビット列が第1転送手段又は命令バッファ内のいずれかのレジスタに格納されているかを示す格納情報を保持する。通常は単位命令ビット列は命令バッファを介して第2転送手段に送られ、命令デコーダで解読される。しかし、命令バッファにデコードすべき単位命令ビット列が格納されていない場合、判定選択手段の指令により第1転送手段よりバイパス転送回路を介して直接第2転送手段に転送される。

【0007】

【発明が解決しようとする課題】上述した従来技術では、バッファにデータが蓄積されていない場合や、データの読出しに数サイクル必要な特性を持つバッファでは、転送許可が出ても、直ちに転送データを調停回路に送出できないため、転送性能の低下を招くという欠点がある。

【0008】また、上述した公報に記載されている情報

処理装置ではメモリ管理ユニットは命令（単位長処理データ）が第1転送手段から命令バッファに書込まれるたびに、判定選択手段に有効信号を送出する。判定選択手段はこの有効信号をもとに、有効データが第1転送手段又は命令バッファ内のいずれかのレジスタに格納されているかを示す格納情報を保持する。そして、第2転送手段に送出するデータを命令バッファより送出するか、第1転送手段からバイパス手段により送出するかを選択する。この選択の条件は、有効データが命令バッファに格納されているか否かによってのみ決定される。従って、判定選択手段による判定時に有効データが、既にバッファに格納されていれば、従来通り有効データをバッファより読出すので、転送性能は変わらない。よって、上述した従来技術の欠点を解決することはできない。

【0009】本発明は上述した従来技術の欠点を解決するためになされたものであり、その目的はバッファへのアクセスを制御してデータ転送性能を向上させることのできるバッファ制御システムを提供することである。

【0010】

【課題を解決するための手段】本発明によるバッファ制御システムは、データの書込み及び読出しが可能なバッファの制御を行うバッファ制御システムであって、前記バッファに書込むべきデータを一時保持する書込みレジスタと、前記バッファから読出されたデータを一時保持する読出しレジスタと、前記書込みレジスタにデータが格納されている場合において前記読出しレジスタにデータが格納されていないとき前記書込みレジスタに格納されているデータを前記読出しレジスタに直接書込む書込み制御手段とを含むことを特徴とする。また、前記書込み制御手段は、前記読出しレジスタにデータが格納されていても該読出しレジスタから外部への転送が許可されていれば前記書込みレジスタに格納されているデータを前記読出しレジスタに直接書込むことを特徴とする。

【0011】本発明による他のバッファ制御システムは、データの書込み及び読出しが可能なバッファの制御を行うバッファ制御システムであって、前記バッファに書込むべきデータを一時保持する書込みレジスタと、前記バッファから読出されたデータを一時保持する第1の読出しレジスタと、この第1の読出しレジスタの出力データを一時保持する第2の読出しレジスタと、前記書込みレジスタにデータが格納されている場合において前記バッファ並びに前記第1及び第2の読出しレジスタにデータが格納されていないとき前記書込みレジスタに格納されているデータを前記第2の読出しレジスタに直接書込む書込み制御手段とを含むことを特徴とする。また、前記書込み制御手段は、前記第2の読出しレジスタにデータが格納されていても該読出しレジスタから外部への転送が許可されていれば前記書込みレジスタに格納されているデータを前記第2の読出しレジスタに直接書込むことを特徴とする。

【0012】要するに本システムでは、バッファへの書込みが必要ないときはバッファをバイパスして転送データを送出しているのである。こうすることにより、バッファへのアクセスが不要になり、転送性能が向上するのである。

【0013】

【発明の実施の形態】次に、本発明の実施の一形態について図面を参照して説明する。

【0014】図1は本発明によるバッファ制御システムの実施の一形態を示すブロック図である。同図において、図4と同等部分は同一符号により示されており、その部分の詳細な説明は省略する。

【0015】本システムはバッファ1からの読出しレジスタを2段持ち、また読出しレジスタ12、13及びバッファ1への書込みレジスタ11に格納されているデータが、各々有効か又は無効かの状態を表すフラグ21～23及びバッファ1に有効データが格納されていない状態を表すフラグ（EMPTYフラグ24）等を設ける。そして、これらのフラグの状態によって、前段の読出しレジスタのデータ、バッファから読出されたデータ及びバッファに格納する前の書込みレジスタに格納されているデータのうちの1つを選択する。そして、この選択されたデータを調停回路へ送出する。ここで、前段の読出しレジスタを設けるのは、読出しに数サイクル必要な特性を持つバッファの場合、予め有効データを読出ししておくためである。1サイクルで読出しできれば読出しレジスタは1段で良い。

【0016】さらに、読出し中を示すフラグ（リードイネーブルフラグ）を設けることによって、数サイクル後に有効データがバッファから読出されることが予測できる。このため、例えば前段の読出しレジスタには書込みレジスタのデータをバッファに格納することなくリード中のデータを後段の読出しレジスタに直接格納することができる。よって、バッファへのアクセスが減少し転送性能を向上させることができる。

【0017】なお、各フラグはレジスタによって保持するものとする。

【0018】かかる構成において、ノードからの転送データは書込みレジスタ有効フラグ21の点灯と共に、書込みレジスタ11に格納される。通常は調停回路2による転送許可30が送出されるまでの間、ノードから順次転送されるデータはバッファ1に格納して、転送許可30が送出されるのを待ち合わせる。バッファ1にデータを格納するためのライトイネーブル信号100により書込みレジスタ11のデータをバッファ1に格納すると共に、ライトポインタ3をインクリメントする。ライトイネーブル信号100を受けるたびにライトポインタ3をインクリメントしながらバッファに転送データを格納していく。またリード時は調停回路2より転送許可30が出るたびにリードイネーブル信号101によりリードボ

5

インタ4をインクリメントしながら、バッファに格納されたデータを順次読出し、読出しレジスタ13を介して調停回路2へ送出される。さらにリードイネーブル信号101を受けると点灯するリードイネーブルレジスタ14を設ける。本装置のバッファ1はデータのリードに2サイクル必要であるという特性があり、このレジスタ14の点灯は、次のサイクルでリードデータが読出されることを表している。またライトポイント3の値とリードポイント4の値とが等しくなる時は、バッファ1に格納されているデータがないことを表すEMPTYフラグ24が点灯する。

【0019】調停回路2へ送出すべきデータは読出しレジスタ有効フラグ23の点灯と共に、読出しレジスタ13に格納され、調停回路2より転送許可30を受けると読出しレジスタ13に格納されていたデータが調停回路2に送出される。読出しレジスタ13に格納されるデータは、読出しセクタ32によって、バッファ1からの読出しデータ、書き込みレジスタ11からのデータ及び読出しレジスタ12からのデータのいずれかが選択されたものである。また読出しレジスタ12に格納されるデータは、読出しセクタ31によって、バッファ1からの読出しデータ及び書き込みレジスタ11からのデータのいずれかが選択されたものである。

【0020】ここで、図2を参照してデータの転送動作について説明する。同図中の左側は各条件フラグの状態を示し、その右側でその時の転送データの動作を示している。なお、同図中の「1」は有効、「0」は無効、「-」は何も動作を行わないことを示し、「×」はあり得ないケースを示す。

【0021】項番1から順次説明する。項番1は読出しレジスタ13に有効データがない場合、すなわち読出しレジスタ有効フラグ23が点灯していない場合にノードより転送データを受取り、書き込みレジスタ11に転送データを格納すると共に書き込みレジスタ有効フラグ21が点灯している場合を示している。この状態は転送動作開始直後の状態である。この時、書き込みレジスタ11に格納されたデータはバッファ1に書込まず、読出しセクタ32を介して直接読出しレジスタ13に格納し、転送許可が下りるのを待つ。

【0022】以降項番3からは読出しレジスタ13に有効データが格納されている場合について説明する。まず書き込みレジスタ11に有効データが格納され、転送許可30が下りない場合はデータはバッファ1に格納される(項番3)。また転送許可30が下りれば、読出しレジスタ13のデータは調停回路2に送出されるので、書き込みレジスタ11のデータは同様にバッファ1に書込まず、読出しセクタ32を介して直接読出しレジスタ13に格納する(項番5)。転送許可30がきて読出しレジスタ13のデータが転送された後に、そのレジスタ13に有効データが格納されない場合は、読出しレジスタ

6

有効フラグ23を落とす(項番4)。

【0023】項番6から項番9はリードイネーブルフラグ14が点灯している場合である。すなわち次のサイクルでバッファ1よりデータが読出されることを示している。転送許可30がきていない場合で書き込みレジスタ11のデータが有効でない場合、バッファ1より読出されたデータは読出しレジスタ12に格納される(項番6)。転送許可30がきていない場合で書き込みレジスタ11が有効である場合は、バッファ1より読出されたデータは同様に読出しレジスタ12に格納され、さらに書き込みレジスタ11のデータはバッファ1に格納される(項番7)。転送許可30がきていれば読出しレジスタ13のデータが格納するので、書き込みレジスタ11のデータが有効でない場合はバッファ1より読出されたデータは直接読出しレジスタ13に格納される(項番8)。

【0024】書き込みレジスタ11のデータが有効である場合は、バッファ1より読出されたデータは同様に直接読出しレジスタ13に格納されると共に書き込みレジスタ11のデータは、読出しセクタ31を介して読出しレジスタ12に格納される(項番9)。

【0025】項番10から13はEMPTYフラグ24が点灯している場合である。この状態はバッファ1にデータが格納されていることを示す。項番10から12は項番6から8と同様に考察できる。項番13はバッファ1にデータが数個格納されている状態でリードイネーブルレジスタ14が点灯、さらに転送許可30が下りて書き込みレジスタ11のデータが有効である場合、バッファ1の読出しデータは読出しレジスタ13に、書き込みレジスタ11のデータはバッファ1に格納される。これは既にバッファ1に格納されているデータが先に読出されて転送されなくてはならないからである。このため、書き込みレジスタ11のデータはバッファ1に格納されるのである。

【0026】項番14から17は読出しレジスタ12のデータが有効である場合である。転送許可30がこない場合で、書き込みレジスタ11が有効であればこの書き込みレジスタ11のデータは素直にバッファ1に格納される(項番15)。転送許可が下りていれば書き込みレジスタ11のデータは読出しレジスタ12へ、また読出しレジスタ12のデータは書き込みレジスタ13へ転送される(項番17)。

【0027】項番18から21は読出しレジスタ12のデータが有効である場合で、EMPTYフラグ24が点灯している場合(バッファ1にデータが格納されている状態)である。項番18から20は項番14から16と同様に考察できる。項番21はバッファ1にデータが数個格納されていて、読出しレジスタ12のデータが有効である状態で転送許可30が下りて書き込みレジスタ11のデータが有効である場合である。この場合、読出しレジスタ12のデータは読出しレジスタ13に、書き込みレ

7

ジスタ11のデータはバッファ1に夫々格納される。これも項番13と同様な理由による。

【0028】以上図2を参照し、データの転送動作について、一部ハードウェアの構成上あり得ないケースや何も動作しないケースを除いて説明した。これらの制御によって効率良くデータ転送を行い転送性能を向上させることができる。

【0029】図3には、図2の動作を実現するための制御回路が示されている。同図に示されている制御回路は、図1中のセクタ31及び32を制御するものであり、図1と同等部分は同一符号により示されている。

【0030】この制御回路は、書込レジスタ有効フラグ21の内容、転送許可の有無、リードイネーブルフラグ14の内容、EMPTYフラグ24の内容、読出しレジスタ有効フラグ22及び23の各内容を入力としている。そして、これらのフラグやレジスタの内容にしたがってインバータ3-1～3-6、アンドゲート3-7～3-21及びオアゲート3-22～3-26からなる論理回路によってセクタ31及び32を制御する構成である。なお、この制御回路は、図2の各部の動作を論理回路として示したものである。

【0031】請求項の記載に関連して本発明は更に次の態様をとりうる。

【0032】(5)データの読出しが可能なバッファの制御を行うバッファ制御システムであって、前記バッファから読出されたデータを一時保持する第1の読出しレジスタと、この第1の読出しレジスタの出力データを一時保持する第2の読出しレジスタと、前記第1及び第2の読出しレジスタにデータが格納されていないとき前記バッファに格納されているデータを前記第2の読出しレジスタに直接書込む書込み制御手段とを含むことを特徴

8

とするバッファ制御システム。

【0033】(6)前記書込み制御手段は、前記第2の読出しレジスタにデータが格納されていても該読出しレジスタから外部への転送が許可されていれば前記書込みレジスタに格納されているデータを前記第2の読出しレジスタに直接書込むことを特徴とする(5)記載のバッファ制御システム。

【0034】

【発明の効果】以上説明したように本発明は、バッファへの書込みが必要ないときはバッファをバイパスして転送データを送出することにより、バッファへのアクセスが不要になり、転送性能が向上するという効果がある。

【図面の簡単な説明】

【図1】本発明の実施の一形態によるバッファ制御システムの構成を示すブロック図である。

【図2】図1中の各フラグの状態と動作との関係を示す図である。

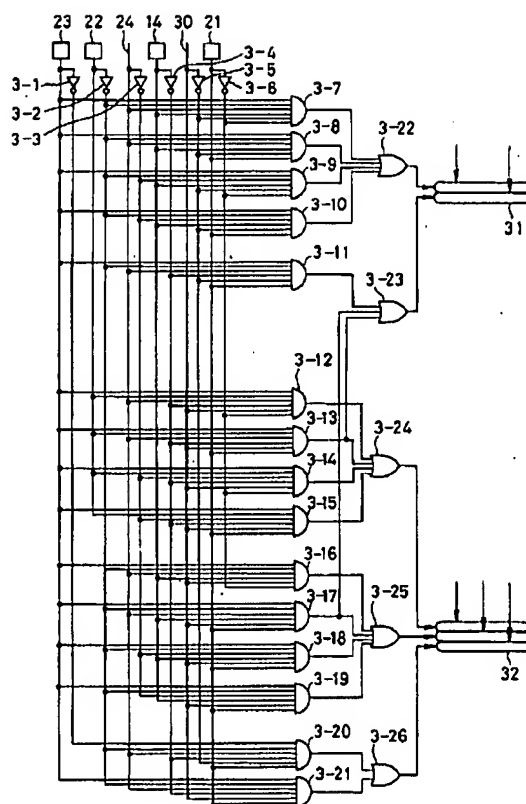
【図3】図1中の各セクタを制御する制御回路の構成例を示す図である。

【図4】従来のバッファ制御システムの構成を示すブロック図である。

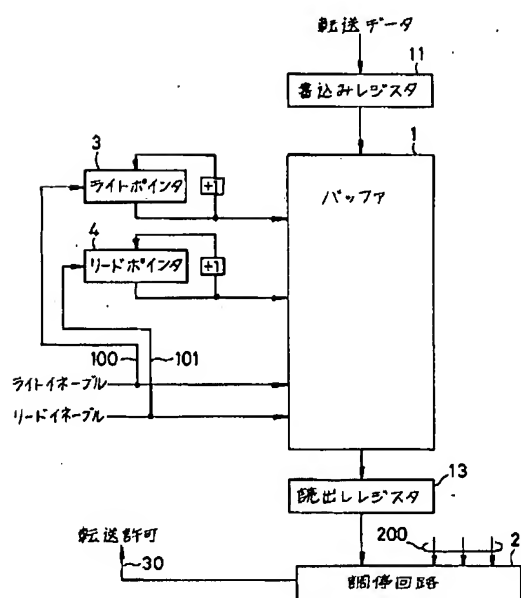
【符号の説明】

- 1 バッファ
- 2 調停回路
- 11 書込みレジスタ
- 12, 13 読出しレジスタ
- 14 リードイネーブルフラグ
- 21 書込レジスタ有効フラグ
- 22, 23 読出しレジスタ有効フラグ
- 24 EMPTYフラグ
- 31, 32 セクタ

【図3】



【図4】



【図2】

項番	条 件						重 力 作									
	読出 有効 フラグ 23	読出 有効 フラグ 22	EMPTY フラグ 24	リード エラー フラグ 14	転送 許可 30	書込 有効 フラグ 21	読出有効 フラグ 23 「1」			読出有効 フラグ 22 「1」			読出 有効 フラグ 23 「0」	読出 有効 フラグ 22 「0」	書込 有効 フラグ 21 「1」	
							11 ↓ 13	1 ↓ 13	12 ↓ 13	11 ↓ 12	1 ↓ 12	11 ↓ 1				
1	0	0	0	0	0	1	○									
2	0		上記以外													×
3	1	0	0	0	0	0				○						—
4	1	0	0	0	1	0							○			
5	1	0	0	0	1	1	○									
6	1	0	0	1	0	0					○					
7	1	0	0	1	0	1					○		○			
8	1	0	0	1	1	0		○								
9	1	0	0	1	1	1		○			○					
	1	0	1	0	0	0										×
	1	0	1	0	0	1										×
	1	0	1	0	1	0										×
	1	0	1	0	1	1										×
10	1	0	1	1	0	0					○					
11	1	0	1	1	0	1					○		○			
12	1	0	1	1	1	0		○								
13	1	0	1	1	1	1		○					○			
14	1	1	0	0	0	0										—
15	1	1	0	0	0	1							○			
16	1	1	0	0	1	0			○						○	
17	1	1	0	0	1	1			○	○						
	1	1	0	1	0	0										×
	1	1	0	1	0	1										×
	1	1	0	1	1	0										×
	1	1	0	1	1	1										×
18	1	1	1	0	0	0										—
19	1	1	1	0	0	1						○				
20	1	1	1	0	1	0			○					○	○	
21	1	1	1	0	1	1			○			○		○	○	
	1	1	1	1	0	0										×
	1	1	1	1	0	1										×
	1	1	1	1	1	0										×
	1	1	1	1	1	1										×

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The write-in register which is the buffer control system which controls the buffer in which the writing and read-out of data are possible, and holds the data which should be written in said buffer temporarily, The read-out register which holds the data read from said buffer temporarily, The buffer control system characterized by including the write-in control means which writes directly the data stored in said write-in register when data are stored in said write-in register and data are not stored in said read-out register in said read-out register.

[Claim 2] Said write-in control means is a buffer control system according to claim 1 characterized by writing directly the data stored in said write-in register if the transfer to the exterior from this read-out register is permitted even if data are stored in said read-out register in said read-out register.

[Claim 3] The write-in register which is the buffer control system which controls the buffer in which the writing and read-out of data are possible, and holds the data which should be written in said buffer temporarily, The 1st read-out register which holds the data read from said buffer temporarily, The 2nd read-out register which holds the output data of this 1st read-out register temporarily, When data are stored in said write-in register and data are not stored in said 1st and 2nd read-out registers at said buffer list The buffer control system characterized by including the write-in control means which writes directly the data stored in said write-in register in said 2nd read-out register.

[Claim 4] Said write-in control means is a buffer control system according to claim 3 characterized by writing directly the data stored in said write-in register if the transfer to the exterior from this read-out register is permitted even if data are stored in said 2nd read-out register in said 2nd read-out register.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the buffer control system which performs the access control of the buffer in which especially the writing and read-out of data are possible about a buffer control system.

[0002]

[Description of the Prior Art] In case the body of a system of a supercomputer (node) is connected mutually in a network and data transfer to the appointed node [node / of arbitration] is generally carried out, the technique of performing data transfer between nodes is known by what a data path is changed for (full cross switching is carried out). In this case, the data transmitted from each node need to arbitrate transfer data, in order to determine the transfer root from a source node to a destination node at the time of SUITCHINGU, they need to wait for the transfer authorization published after this mediation, and need to start data transfer. Therefore, the data transmitted from each node are temporarily stored in the buffer which it has for every node, and wait for the transfer authorization after mediation. Therefore, it is necessary to control access of this buffer appropriately.

[0003] As this conventional kind of buffer control system is shown in drawing 4 The write-in register 11 which holds the data which should be written in a buffer 1 temporarily, The read-out register 13 which holds the data read from the buffer 1 temporarily, It is constituted including the mediation circuit 2 which considers the transfer data 200 from the output and other ports of the read-out register 13 as an input, and arbitrates the transfer data from each port, and the light pointer 3 and the lead pointer 4 to a buffer 1.

[0004] In this configuration, while taking priority in the mediation circuit for arbitrating the transfer data from each port, data are stored in a buffer 1 and a skew difference is absorbed in each port. After mediation by the mediation circuit 2, if transfer authorization comes out, the data of a buffer 1 will be read and transmitted.

[0005] By the way, the information processor which formed the transfer means in the writing [of a buffer] and read-out side, respectively is indicated by JP,3-42721,A. This information processor is equipped with the instruction buffer which stores temporarily two or more unit-length processed data, the instruction decoder which decodes those processed data, the memory management unit which performs transfer control of those processed data, a 1st transfer means to store temporarily the unit-length data transmitted from this memory management unit, and to transmit to an instruction buffer, and a 2nd transfer means to store temporarily the data transmitted from the instruction buffer, and to transmit to an instruction decoder.

[0006] And a memory management unit outputs a valid signal to a judgment selection means, whenever a unit order bit train is written in an instruction buffer from the 1st transfer means. A judgment selection means holds the storing information which shows whether each unit order bit train is stored in the register of an either the 1st transfer means or an instruction buffer based on

this. Usually, a unit order bit train is sent to the 2nd transfer means through an instruction buffer, and is decoded by the instruction decoder. However, when the unit order bit train which should be decoded to an instruction buffer is not stored, it is directly transmitted to the 2nd transfer means through a bypass transfer circuit from the 1st transfer means by the command of a judgment selection means.

[0007]

[Problem(s) to be Solved by the Invention] the case where data are not stored in a buffer with the conventional technique mentioned above, and read-out of data -- a number cycle, in a buffer with a required property, since transfer data cannot be immediately sent out to a mediation circuit even if transfer authorization comes out, there is a fault of causing transfer performance degradation.

[0008] Moreover, in the information processor indicated by the official report mentioned above, a memory management unit sends out a valid signal to a judgment selection means, whenever an instruction (unit-length processed data) is written in an instruction buffer from the 1st transfer means. Based on this valid signal, a judgment selection means holds the storing information which shows whether the effective data is stored in the register of an either the 1st transfer means or an instruction buffer. And it chooses whether the data sent out to the 2nd transfer means are sent out from an instruction buffer, or a bypass means sends out from the 1st transfer means. The conditions of this selection are determined by whether the effective data is stored in the instruction buffer. Therefore, if the effective data is already stored in the buffer, since an effective data will be read from a buffer as usual at the time of the judgment by the judgment selection means, the transfer engine performance does not change. Therefore, the fault of the conventional technique mentioned above is unsolvable.

[0009] Made in order that this invention may solve the fault of the conventional technique mentioned above, the purpose is offering the buffer control system which can control access to a buffer and can raise the data transfer engine performance.

[0010]

[Means for Solving the Problem] The write-in register which the buffer control system by this invention is a buffer control system which controls the buffer in which the writing and read-out of data are possible, and holds the data which should be written in said buffer temporarily, The read-out register which holds the data read from said buffer temporarily, When data are stored in said write-in register and data are not stored in said read-out register, it is characterized by including the write-in control means which writes directly the data stored in said write-in register in said read-out register. Moreover, said write-in control means will be characterized by writing directly the data stored in said write-in register in said read-out register, if the transfer to the exterior from this read-out register is permitted even if data are stored in said read-out register.

[0011] The write-in register which other buffer control systems by this invention are buffer control systems which control the buffer in which the writing and read-out of data are possible, and holds the data which should be written in said buffer temporarily, The 1st read-out register which holds the data read from said buffer temporarily, The 2nd read-out register which holds the output data of this 1st read-out register temporarily, When data are stored in said write-in register and data are not stored in said 1st and 2nd read-out registers at said buffer list It is characterized by including the write-in control means which writes directly the data stored in said write-in register in said 2nd read-out register. Moreover, said write-in control means will be characterized by writing directly the data stored in said write-in register in said 2nd read-out register, if the transfer to the exterior from this read-out register is permitted even if data are stored in said 2nd read-out register.

[0012] In short, in this system, when the writing to a buffer is unnecessary, the buffer was bypassed and transfer data are sent out. By carrying out like this, access to a buffer becomes unnecessary and the transfer engine performance improves.

[0013]

[Embodiment of the Invention] Next, one gestalt of operation of this invention is explained with reference to a drawing.

[0014] Drawing 1 is the block diagram showing one gestalt of operation of the buffer control system by this invention. In this drawing, drawing 4 and an equivalent part are shown by the same sign, and detailed explanation of the part is omitted.

[0015] The flag (EMPTY flag 24) showing the condition that the effective data is not stored in the flags 21-23 and buffer 1 with which the data which this system has two steps of read-out registers from a buffer 1, and are stored in the read-out registers 12 and 13 and the write-in register 11 to a buffer 1 express the condition of whether to be respectively effective and an invalid etc. is formed. And one of the data stored in the write-in register before storing in the data and the buffer which were read from the data of the read-out register of the preceding paragraph and a buffer according to the condition of these flags is chosen. And this selected data is sent out to a mediation circuit. preparing the read-out register of the preceding paragraph here -- read-out -- a number cycle -- in the case of a buffer with a required property, it is for reading the effective data beforehand. If read-out can be carried out in 1 cycle, a read-out register is good in one step.

[0016] Furthermore, it can predict that an effective data is read from a buffer in a number cycle by forming the flag (lead enabling flag) which shows the inside of read-out. For this reason, the data under lead can be directly stored in a latter read-out register, without storing the data of a write-in register in the read-out register of the preceding paragraph at a buffer, for example. Therefore, access to a buffer can decrease and the transfer engine performance can be raised.

[0017] In addition, each flag shall be held with a register.

[0018] In this configuration, the transfer data from a node are stored in the write-in register 11 with lighting of the write-in register effective flag 21. Usually, it waits that store in a buffer 1 the data by which a sequential transfer is carried out from a node, and the transfer authorization 30 is sent out until the transfer authorization 30 by the mediation circuit 2 is sent out. While storing the data of the write-in register 11 in a buffer 1 with the write enable signal 100 for storing data in a buffer 1, the light pointer 3 is incremented. Transfer data are stored in the buffer, incrementing the light pointer 3, whenever it receives the write enable signal 100. Moreover, the data stored in the buffer are sent out through read-out and the read-out register 13 in the mediation circuit 2 one by one at the time of a lead, incrementing the lead pointer 4 with the lead enable signal 101, whenever the transfer authorization 30 comes out from the mediation circuit 2. The lead enabling register 14 which will be turned on if the lead enable signal 101 is furthermore received is formed. The buffer 1 of this equipment has the property of being the two-cycle need in the lead of data, and lighting of this register 14 means that lead data are read in the following cycle. Moreover, when the value of the light pointer 3 and the value of the lead pointer 4 become equal, the EMPTY flag 24 showing there being no data stored in the buffer 1 lights up.

[0019] The data with which they were stored in the read-out register 13 when the data which should be sent out to the mediation circuit 2 were stored in the read-out register 13 and the transfer authorization 30 was obtained from the mediation circuit 2 with lighting of the read-out register effective flag 23 are sent out to the mediation circuit 2. As for the data stored in the read-out register 13, either of the data from the read-out data, the data from the write-in register 11, and the read-out register 12 from a buffer 1 is chosen by the read-out selector 32. Moreover, as for the data stored in the read-out register 12, either of the data from the read-out data and the write-in register 11 from a buffer 1 is chosen by the read-out selector 31.

[0020] Here, data transfer actuation is explained with reference to drawing 2. The left-hand side in this drawing shows the condition of a monograph affair flag, and shows actuation of the transfer data at that time on the right-hand side. In addition, "1" in this drawing shows that validity and "0" do not perform an invalid and no "-" operates, and "x" shows the case which cannot exist.

[0021] Sequential explanation is given from an item number 1. The item number 1 shows the case where the write-in register effective flag 21 has turned on transfer data from the node while

storing a receipt and storing transfer data in the write-in register 11, when there is no effective data in the read-out register 13 (i.e., when the read-out register effective flag 23 is not on). This condition is in the condition immediately after transfer operation initiation. At this time, the data stored in the write-in register 11 are not written in a buffer 1, but it stores in the read-out register 13 directly through the read-out selector 32, and waits for transfer authorization to get down.

[0022] From an item number 3, the case where the effective data is stored in the read-out register 13 is explained henceforth. An effective data is first stored in the write-in register 11, and data are stored in a buffer 1 when the transfer authorization 30 does not get down (item number 3). Moreover, if the transfer authorization 30 gets down, since the data of the read-out register 13 will be sent out to the mediation circuit 2, similarly the data of the write-in register 11 are not written in a buffer 1, but are directly stored in the read-out register 13 through the read-out selector 32 (item number 5). When an effective data is not stored in the register 13 after the transfer authorization 30 comes and the data of the read-out register 13 are transmitted, the read-out register effective flag 23 is dropped (item number 4).

[0023] It is the case where the lead enabling flag 14 has turned on the item number 9 from the item number 6. That is, it is shown that data are read from a buffer 1 in the following cycle. By the case where the transfer authorization 30 is not coming, when the data of the write-in register 11 are not effective, the data read from the buffer 1 are stored in the read-out register 12 (item number 6). By the case where the transfer authorization 30 is not coming, when the write-in register 11 is effective, the data read from the buffer 1 are similarly stored in the read-out register 12, and the data of the write-in register 11 are further stored in a buffer 1 (item number 7). If the transfer authorization 30 is coming, the data of the read-out register 13 should sweep -- the data read from the buffer 1 by that of ** when the data of the write-in register 11 were not effective are directly stored in the read-out register 13 (item number 8).

[0024] When the data of the write-in register 11 are effective, while the data read from the buffer 1 are similarly stored in the read-out register 13 directly, the data of the write-in register 11 are stored in the read-out register 12 through the read-out selector 31 (item number 9).

[0025] Item numbers 10-13 are the cases where the EMPTY flag 24 is on. This condition shows that data are stored in a buffer 1. Item numbers 10-12 can be considered like item numbers 6-8. The transfer authorization 30 gets down [the lead enabling register 14] from an item number 13 to lighting and a pan in the condition that data are partly stored in the buffer 1, when the data of the write-in register 11 are effective, the read-out data of a buffer 1 are stored in the read-out register 13, and the data of the write-in register 11 are stored in a buffer 1. This is because the data already stored in the buffer must be read first and must be transmitted. For this reason, the data of the write-in register 11 are stored in a buffer 1.

[0026] Item numbers 14-17 are the cases that the data of the read-out register 12 are effective. By the case where the transfer authorization 30 does not come, if the write-in register 11 is effective, the data of this write-in register 11 are obediently stored in a buffer 1 (item number 15). If transfer authorization is getting down, it will pass through the data of the write-in register 11 read-out register 12, and the data of the read-out register 12 will be transmitted to the write-in register 13 (item number 17).

[0027] Item numbers 18-21 are the cases (condition that data are stored in the buffer 1) where the EMPTY flag 24 is on by the case where the data of the read-out register 12 are effective. Item numbers 18-20 can be considered like item numbers 14-16. Data are partly stored in the buffer 1, the transfer authorization 30 gets down in the condition that the data of the read-out register 12 are effective, and an item number 21 is the case that the data of the write-in register 11 are effective. In this case, the data of the read-out register 12 are stored in the read-out register 13, and the data of the write-in register 11 are stored in a buffer 1, respectively. This is also depended on the same reason as an item number 13.

[0028] With reference to drawing 2, the part was explained about data transfer actuation except for the case which cannot exist constitutionally and the case where nothing operates of hardware,

above. By these control, data transfer can be performed efficiently and the transfer engine performance can be raised.

[0029] The control circuit for realizing actuation of drawing 2 is shown in drawing 3. The control circuit shown in this drawing controls the selectors 31 and 32 in drawing 1, and drawing 1 and an equivalent part are shown by the same sign.

[0030] This control circuit is considering the contents of the write-in register effective flag 21, the existence of transfer authorization, the contents of the lead enabling flag 14, the contents of the EMPTY flag 24, and each contents of the read-out register effective flags 22 and 23 as the input. And it is the configuration which controls selectors 31 and 32 by the logical circuit which consists of an inverter 3-1 to 3-6, AND gate 3-7 to 3-21, and OR gate 3-22 to 3-26 according to the contents of these flags and registers. In addition, this control circuit shows actuation of each part of drawing 2 as a logical circuit.

[0031] In relation to the publication of a claim, this invention can take the following mode further.

[0032] (5) The 1st read-out register which holds the data which are the buffer control system which controls the buffer in which read-out of data is possible, and were read from said buffer temporarily, The 2nd read-out register which holds the output data of this 1st read-out register temporarily, The buffer control system characterized by including the write-in control means which writes directly the data stored in said buffer when data are not stored in said 1st and 2nd read-out registers in said 2nd read-out register.

[0033] (6) said -- writing -- a control means -- said -- the -- two -- read-out -- a register -- data -- storing -- having -- **** -- even if -- this -- read-out -- a register -- from -- the exterior -- a transfer -- granting a permission -- having -- **** -- if -- said -- writing -- a register -- storing -- having -- **** -- data -- said -- the -- two -- read-out -- a register -- direct -- writing in -- things -- the description -- ** -- carrying out -- (-- five --) -- a publication -- buffer control -- a system .

[0034]

[Effect of the Invention] As explained above, when the writing of this invention to a buffer is unnecessary, access to a buffer becomes unnecessary by bypassing a buffer and sending out transfer data, and it is effective in the transfer engine performance improving.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing the buffer control structure of a system by one gestalt of operation of this invention.

[Drawing 2] It is drawing showing the relation between the condition of each flag in drawing 1 , and actuation.

[Drawing 3] It is drawing showing the example of a configuration of the control circuit which controls each selector in drawing 1 .

[Drawing 4] It is the block diagram showing the conventional buffer control structure of a system.

[Description of Notations]

1 Buffer

2 Mediation Circuit

11 Write-in Register

12 13 Read-out register

14 Lead Enabling Flag

21 Write-in Register Effective Flag

22 23 Read-out register effective flag

24 EMPTY Flag

31 32 Selector

[Translation done.]